

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-135093

(43)Date of publication of application : 18.05.2001

(51)Int. Cl. G11C 19/00
G09G 3/20
G09G 3/36
G11C 19/28
H01L 29/786

(21)Application number : 11-311191

(71)Applicant : SHARP CORP

(22)Date of filing : 01.11.1999

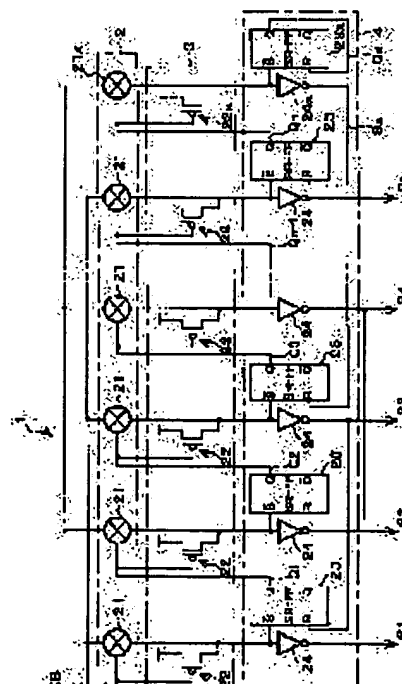
(72)Inventor : WASHIO HAJIME
KUBOTA YASUSHI
MAEDA KAZUHIRO
KAIZE YASUYOSHI
MICHAEL JAMES BROWNLOW
CAIRNS GRAHAM ANDREW

(54) SHIFT REGISTER AND PICTURE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a shift register which is used suitably for a driving circuit of a picture display device, which enables reduction of the driving circuit scale, and the pulse width of the output signal of which can varied arbitrarily, and a picture display device using the shift register.

SOLUTION: In a shift register 1 provided with a flip-flop 23 operated synchronizing with a clock signal, switch means 21 opened and closed in accordance with an output of a preceding stage of each flip-flop 23 are provided, a clock signal is selectively inputted to the shift register 1 by the switch means 21, while the selected clock signal is reversed and is outputted from the shift register of each stage. Also, each output of shift



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-135093

(P2001-135093A)

(43) 公開日 平成13年5月18日 (2001.5.18)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
G 1 1 C 19/00		G 1 1 C 19/00	K 5 C 0 0 6
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 E 5 C 0 8 0
	6 2 3		6 2 3 H 5 F 1 1 0
3/36		3/36	
G 1 1 C 19/28		G 1 1 C 19/28	B

審査請求 未請求 請求項の数11 OL (全 20 頁) 最終頁に続く

(21) 出願番号 特願平11-311191

(22) 出願日 平成11年11月1日 (1999.11.1)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 鷺尾 一

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

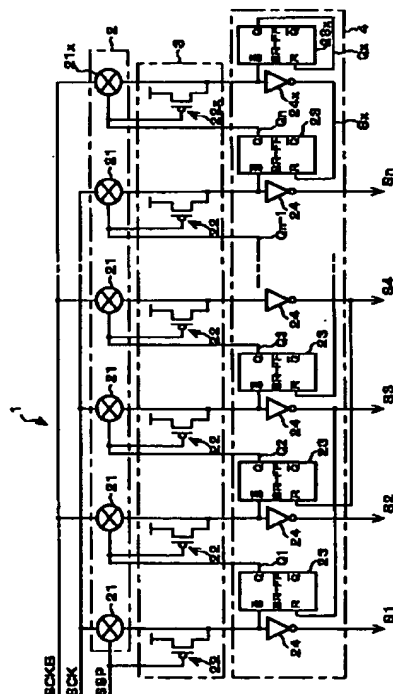
最終頁に続く

(54) 【発明の名称】 シフトレジスタおよび画像表示装置

(57) 【要約】

【課題】 画像表示装置の駆動回路に好適に使用され、駆動回路を縮小化でき、出力信号のパルス幅を任意に変えることが可能なシフトレジスタ、および、該シフトレジスタを用いた画像表示装置を提供する。

【解決手段】 クロック信号に同期して動作するフリップフロップ23を備えたシフトレジスタ1において、各フリップフロップ23の前段の出力に応じて開閉するスイッチ手段21を設け、そのスイッチ手段21によってクロック信号を選択的に入力するとともに、その選択されたクロック信号を反転して各段のシフトレジスタ出力とする。また、デューティ比が50%以下でそれぞれのロウレベルの期間が重ならない2種類のクロック信号を用いることにより、シフトレジスタの各出力がオーバーラップすることを防止できる。



【特許請求の範囲】

【請求項1】クロック信号が入力される複数段のフリップフロップと、

前記複数段のフリップフロップ毎に設けられ、前記クロック信号の入力を制御するスイッチ手段とを備え、

前記複数段のフリップフロップの i (i は、任意の値) 段目の出力信号に応じて $i+1$ 段目の前記スイッチ手段が制御され、 $i+1$ 段目の前記フリップフロップへの前記クロック信号の入力が制御されるとともに、前記クロック信号のパルス幅と同じ幅の出力パルスが生成されることを特徴とするシフトレジスタ。

【請求項2】前記クロック信号として、 M ($M \geq 2$) 種類のクロック信号が、前記複数段のフリップフロップに対し、それぞれ ($M-1$) 個おきに入力されることを特徴とする請求項1記載のシフトレジスタ。

【請求項3】前記 M 種類のクロック信号は、互いのハイレベルの期間が重ならないような位相または互いのロウレベルの期間が重ならないような位相を有することを特徴とする請求項2記載のシフトレジスタ。

【請求項4】前記 M 種類の各クロック信号のデューティ比が、 $(100 \times 1/M) \%$ 以下であることを特徴とする請求項3記載のシフトレジスタ。

【請求項5】前記スイッチ手段が開放されている際に、前記複数段のフリップフロップへの入力を安定させるための入力安定手段を備えることを特徴とする請求項1～4のいずれか1項に記載のシフトレジスタ。

【請求項6】前記複数段のフリップフロップは、セット・リセット型フリップフロップであり、 $(i+k \times M)$ 段目 ($k \geq 1$) の前記出力パルスが、 i 段目の前記フリップフロップのリセット端子へ入力されることを特徴とする請求項2～5のいずれか1項に記載のシフトレジスタ。

【請求項7】前記複数段のフリップフロップは、セット・リセット型フリップフロップであり、前記複数段のフリップフロップの $(i+k \times M)$ 段目 ($k \geq 1$) の出力信号が、 i 段目の前記フリップフロップのリセット端子へ入力されることを特徴とする請求項2～5のいずれか1項に記載のシフトレジスタ。

【請求項8】マトリクス状に設けられた複数の画素からなる表示部と、複数のデータ信号線に接続され、前記画素に書き込む映像データを各データ信号線に供給するデータ信号線駆動回路と、複数の走査信号線に接続され、前記映像データの前記画素への書き込みを制御する走査信号を各走査信号線に供給する走査信号線駆動回路とを備えた画像表示装置において、

前記データ信号線駆動回路および前記走査信号線駆動回路の少なくともいずれか一方に、請求項1～7のいずれか1項に記載のシフトレジスタを備えたことを特徴とする画像表示装置。

【請求項9】前記データ信号線駆動回路および前記走査

信号線駆動回路の少なくとも一方が、前記画素が形成される基板上に形成されていることを特徴とする請求項8記載の画像表示装置。

【請求項10】前記データ信号線駆動回路および前記走査信号線駆動回路の少なくとも一方を構成するスイッチ素子が、多結晶シリコン薄膜トランジスタであることを特徴とする請求項8または9記載の画像表示装置。

【請求項11】前記スイッチ素子は、 600°C 以下の温度で形成されることを特徴とする請求項10記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、画像表示装置の駆動回路に好適に用いられ、該駆動回路を縮小化でき、出力信号のパルス幅を任意に変えることができるシフトレジスタ、および該シフトレジスタを用いた画像表示装置に関する。

【0002】

【従来の技術】画像表示装置のデータ信号線駆動回路や走査信号線駆動回路では、従来より、入力される映像信号をサンプリングする際のタイミングをとるために、あるいは、各走査信号線へ与える走査信号を作成するために、シフトレジスタが広く使われている。

【0003】データ信号線駆動回路においては、データ信号線を介して映像信号より得られた映像データを各画素に書き込むために、サンプリング信号を作成する。その際、サンプリング信号が前段や次段のサンプリング信号と重なると、映像データが大きく変動し、誤った映像データをデータ信号線に出力することになってしまう。かかる不具合を回避するため、従来のシフトレジスタ101は、例えば、図17に示されるような回路構成になっている。

【0004】図17を参照して、シフトレジスタ101は、 n 段からなり、各段ごとに、D型フリップフロップ102、NAND回路103、二段のインバータ104a・104b、およびNOR回路105を備えている。シフトレジスタ101には、互いに位相が異なる2つのクロック信号SCK・SCKBと、スタートパルスSSPとが入力される。

【0005】クロック信号SCK・SCKBは、入力される映像信号をサンプリングする半分の周期で与えられ、該クロック信号SCK・SCKBに同期して、シフトレジスタ101の各段から順次パルスが出力される。シフトレジスタ101の i ($1 \leq i \leq n$) 段目に着目すると、 $i-1$ 段目のD型フリップフロップ102の出力 Q_{i-1} と i 段目のD型フリップフロップ102の出力 Q_i とが、 i 段目のNAND回路103に入力され、出力信号NSOUT $_i$ が得られる。

【0006】さらに、 i 段目のサンプリング信号 S_i が、 $i+1$ 段目のサンプリング信号 S_{i+1} と重ならない

いようにするため、出力信号NSOUT_iは、i段目のNOR回路105の一方の入力端子に直接入力されるのみならず、二段のインバータ104a・104bからなる遅延回路にも入力される。該遅延回路の出力がNOR回路105の他方の入力端子に入力されることで、i段目のNOR回路105から出力されるサンプリング信号S_iの幅を小さくできる。

【0007】シフトレジスタ101の各段において、上記と同様の処理を行うことによって、図18に示すように、互いに重ならないサンプリング信号S₁～S_nを得ることができる。

【0008】次に、走査信号線駆動回路に設けられる従来のシフトレジスタ111について、図19および図20に基づいて説明する。

【0009】走査信号線駆動回路は、表示部に配置された画素に順次映像データが書き込まれるよう、各走査信号線に走査信号を出力する。このとき、i+1本目の走査信号は、i本日の走査信号と重ならないように、あるいは、i本日に書き終えたデータ信号線上の映像データをリフレッシュするための処理等を行うために、パルス出力を止めなければならない。

【0010】そこで、走査信号線駆動回路に設けられる従来のシフトレジスタ111は、図19に示すように、n段からなり、各段ごとに、D型フリップフロップ112、NAND回路113、およびNOR回路114を備えた構成になっている。また、シフトレジスタ111には、互いに位相が異なる2つのクロック信号GCK・GCKB、スタートパルスGSP、およびパルス幅制御信号PWCが入力される。

【0011】シフトレジスタ111では、クロック信号GCK・GCKBに同期して、各段から順次パルスが出力される。シフトレジスタ111のi(1≤i≤n)段目に着目すると、i-1段目のD型フリップフロップ112の出力Q_{i-1}とi段目のD型フリップフロップ112の出力Q_iとが、i段目のNAND回路113に入力され、出力信号NOUT_iが得られる。このようにして得られる各段の出力信号NOUT₁～NOUT_nは、それぞれ走査信号GL₁～GL_nと同じ周期で出力される。

【0012】シフトレジスタ111では、さらに、パルス幅制御信号PWCが各段のNOR回路114の一方の入力端子に直接入力される。また、i段目のNOR回路114の他方の入力端子には、i段目のNAND回路113の出力信号NOUT_iが入力される。これによって、i段目のNOR回路114からは、走査信号GL_iが出力される。

【0013】シフトレジスタ111の各段において、上記と同様の処理を行うことによって、図20に示すように、互いに重ならない走査信号GL₁～GL_nを得ることができる。したがって、i+1本目の走査信号GL_i

+1は、i本日の走査信号GL_iと重ならず、i本日に書き終えたデータ信号線上の映像データをリフレッシュするための処理等を行うことが可能になる。

【0014】なお、上記D型フリップフロップ102・112は、図21に示すように、D端子から信号Aが入力され、他の端子から2つのクロック信号CK・CKBが入力されると、Q端子から信号Bを出力する回路構成になっている。

【0015】

【発明が解決しようとする課題】しかしながら、上記従来のシフトレジスタ101・111では、図17および図19に示すような回路が必要となり、駆動回路が大きくなってしまいう問題が生ずる。

【0016】近年では、表示画面がより広く、高精細で、かつ表示領域の周囲を狭くした画像表示装置が求められているため、駆動回路の面積をより小さくする必要がある。また、画像表示装置以外に用いられる場合も、シフトレジスタの回路構成の簡略化の要請は高いといえる。

【0017】本発明は、上記の問題点を鑑みてなされたものであり、その目的は、各段の出力パルスが重ならず、任意にパルス幅を変更でき、しかも、回路構成の簡略化を実現したシフトレジスタ、および、該シフトレジスタを用いることで駆動回路の簡略化による狭額縁化を実現した画像処理装置を提供することにある。

【0018】

【課題を解決するための手段】本発明に係るシフトレジスタは、上記の課題を解決するために、クロック信号が入力される複数段のフリップフロップと、前記複数段のフリップフロップ毎に設けられ、前記クロック信号の入力を制御するスイッチ手段とを備え、前記複数段のフリップフロップのi(iは、任意の整数)段目の出力信号に応じてi+1段目の前記スイッチ手段が制御され、i+1段目の前記フリップフロップへの前記クロック信号の入力が制御されるとともに、前記クロック信号のパルス幅と同じ幅の出力パルスが生成されることを特徴としている。

【0019】上記の構成によれば、クロック信号に同期して動作するフリップフロップの出力は、次段のフリップフロップに供給されるクロック信号を、スイッチ手段を介して制御する。また、この制御されたクロック信号が、当該段におけるシフトレジスタの出力となり、その出力はクロック信号と同じパルス幅を持つ。

【0020】この結果、従来は前段のフリップフロップの出力と自段の出力の論理演算を行い、クロック信号と同じパルス幅の信号を生成していたが、本発明のシフトレジスタでは、この論理演算を行う回路を必要としない。また、論理演算部内で信号の遅延(信号の立ち上がり、立ち下がり遅れ)により、論理演算部の出力の一部が重なることを回避できる。さらに、出力パルスの重

なりを防ぐための特殊な回路や特殊な信号のための伝送線を必要としないため、シフトレジスタの大幅な縮小化を実現できる。

【0021】したがって、各段の出力パルスが重ならず、しかも、回路構成の簡略化を実現したシフトレジスタを提供することができる。

【0022】また、本発明のシフトレジスタにおいて、好ましくは、前記クロック信号として、 M (M は、2以上の整数) 種類のクロック信号が、前記複数段のフリップフロップに対し、それぞれ $(M-1)$ 個おきに入力される構成とすることで、複数のクロック信号を用いることになり、周波数を低減することが可能となる。したがって、外部回路からクロック信号を入力する際、周波数を低く抑えることができるので、外部回路の消費電圧低減の一助となる。

【0023】また、本発明のシフトレジスタにおいて、好ましくは、前記 M 種類のクロック信号は、互いのハイレベルの期間が重ならないような位相または互いのロウレベルの期間が重ならないような位相を有することで、各段から隣接する出力信号と重ならない出力信号を得ることができる。

【0024】また、本発明のシフトレジスタにおいて、好ましくは、前記 M 種類の各クロック信号のデューティ比が、 $(100 \times 1/M)\%$ 以下となるようにすることで、各段から隣接する出力信号と重ならない出力信号を得ることができ、さらに、任意にパルス幅を変えることができる。

【0025】なお、「デューティ比」とは、信号波形のアクティブと非アクティブとの時間的な比率を表す。例えば、ここで、信号波形が High を示しているときをアクティブ (アクティブとは、信号が作用している状態) とし、信号波形が Low を示しているときを非アクティブとすると、波形の一周期はアクティブの時間と非アクティブの時間との和になる。例えば、デューティ比が 40% とは、アクティブの時間が一周期の 40% を占めるということを表している。回路によっては、Low 期間がアクティブとされる。

【0026】また、本発明のシフトレジスタにおいて、好ましくは、前記スイッチ手段が開放されている際に、前記複数段のフリップフロップへの入力を安定させるための入力安定手段を備えることで、スイッチ手段が開放されると、フリップフロップへの入力が予め定められた電位になるため、フリップフロップが誤動作を起こすことを防止できる。

【0027】また、本発明のシフトレジスタにおいて、好ましくは、前記複数段のフリップフロップは、セット・リセット型フリップフロップであり、 $(i+k \times M)$ 段目 (k は、1以上の整数) の前記出力パルスが、 i 段目の前記フリップフロップのリセット端子へ入力される構成とすることで、各フリップフロップから出力される

信号のパルス幅を所望の期間に調節できる。

【0028】なお、「セット・リセット型フリップフロップ」とは、一般に、あるタイミングで信号が加えられるたびに、二つの安定状態の間を転移し、前記信号が入力されないときにはその状態を保持する回路である。セット・リセット型フリップフロップでは、例えば、入力されるセット信号によって、出力を High の状態にし、セット信号が非アクティブになっても、その出力状態を保持し続ける。その後、セット信号が非アクティブでリセット信号がアクティブになると、出力を Low の状態にし、リセット信号が非アクティブになっても、セット信号がアクティブになるまでその状態を保持し続けるフリップフロップである。

【0029】また、本発明のシフトレジスタにおいて、好ましくは、前記複数段のフリップフロップは、セット・リセット型フリップフロップであり、前記複数段のフリップフロップの $(i+k \times M)$ 段目 (k は、1以上の整数) の出力信号が、 i 段目の前記フリップフロップのリセット端子へ入力される構成とすることで、各フリップフロップから出力される信号のパルス幅を所望の期間に調節できる。

【0030】また、本発明に係る画像表示装置は、上記の課題を解決するために、マトリクス状に設けられた複数の画素からなる表示部と、複数のデータ信号線に接続され、前記画素に書き込む映像データを各データ信号線に供給するデータ信号線駆動回路と、複数の走査信号線に接続され、前記映像データの前記画素への書き込みを制御する走査信号を各走査信号線に供給する走査信号線駆動回路とを備えた画像表示装置において、前記データ信号線駆動回路および前記走査信号線駆動回路の少なくともいずれか一方に、上述した本発明のシフトレジスタを備えたことを特徴としている。

【0031】上記の構成によれば、本発明のシフトレジスタを用いることで、駆動回路の回路規模を縮小化し、狭額縁化を実現した画像処理装置を提供できる。

【0032】また、本発明の画像表示装置において、好ましくは、前記データ信号線駆動回路および前記走査信号線駆動回路の少なくとも一方が、前記画素が形成される基板上に形成されている構成とすることで、データ信号線駆動回路と各画素との間の配線、または、走査信号線駆動回路と各画素との間の配線は同一基板上に配され、基板外に出す必要がない。この結果、データ信号線の数および走査信号線の数が増加しても、基板外に出す信号線の数が増加せず、組み立てる必要がないため、各信号線の容量の不所望な増大を防止できるとともに、集積度の低下を防止できる。また、製造時の手間を省くことができる。

【0033】また、本発明の画像表示装置において、好ましくは、前記データ信号線駆動回路および前記走査信号線駆動回路の少なくとも一方を構成するスイッチ素子

が、多結晶シリコン薄膜トランジスタである構成とすることで、表示面積を容易に拡大できる。

【0034】ところで、多結晶シリコン薄膜は、単結晶シリコンに比べて面積を拡大しやすい一方で、多結晶シリコントランジスタは、単結晶シリコントランジスタに比べて、例えば、移動度やしきい値などのトランジスタ特性が劣っている。したがって、単結晶シリコントランジスタを用いて各回路を製造すると、表示面積の拡大が難しく、多結晶シリコン薄膜トランジスタを用いて各回路を製造すると、各回路の駆動能力が低下してしまう。

なお、両駆動回路と画素とを別の基板上に形成した場合は、各信号線で両基板間を接続する必要があり、製造時に手間がかかるとともに、各信号線の容量が増大してしまう。

【0035】したがって、多結晶シリコン薄膜トランジスタからなるスイッチング素子を備えた構成とすることにより、表示面積を容易に拡大できる。また、本発明のシフトレジスタを用いることにより、回路規模の縮小による狭額縁化や消費電力の低減が実現できる。

【0036】また、本発明の画像表示装置において、好ましくは、前記スイッチ素子は、600℃以下の温度で形成されることで、各スイッチ素子の形成される基板として、通常のガラス基板（歪み点が600度以下のガラス基板）を使用しても、歪み点以上のプロセスに起因する反りやたわみが発生しない。この結果、実装がさらに容易で、より表示面積の広い画像表示装置を実現できる。

【0037】

【発明の実施の形態】〔実施形態1〕本発明の実施の一形態について図1～図12に基づいて説明すれば、以下の通りである。

【0038】本発明のシフトレジスタは、画像表示装置のデータ信号線駆動回路および走査信号線駆動回路に好適に用いることができるが、画像表示装置以外にも適用可能である。以下では、データ信号線駆動回路に適用される本発明の実施形態に係るシフトレジスタを実施形態1として、また、走査信号線駆動回路に適用される本発明の実施形態に係るシフトレジスタを実施形態2として、説明する。

【0039】本実施形態に係るシフトレジスタ1は、図1に示すように、大略的に、スイッチ部2、入力安定部3、およびフリップフロップ部4を備えて構成されており、例えば図2に示される画像表示装置11のデータ信号線駆動回路14に用いられる。

【0040】上記画像表示装置11は、図2に示すように、表示部12、走査信号線駆動回路13、データ信号線駆動回路14、および制御回路15を備えている。

【0041】表示部12は、互いに平行するn本の走査信号線GL…（GL1、GL2、…GLn）および互いに平行するn本のデータ信号線SL…（SL1、SL

2、…SLn）と、マトリクス状に配置された画素（図中、PIX）16…とを有している。画素16は、隣接する2本の走査信号線GL・GLと隣接する2本のデータ信号線SL・SLとで包囲された領域に形成される。なお、説明の便宜上、走査信号線GLおよびデータ信号線SLの数は同じくn本としたが、両線の数が異なってもよいことは勿論である。

【0042】走査信号線駆動回路13は、シフトレジスタ17を備えており、該シフトレジスタ17は、制御回路15から入力される二種類のクロック信号GCK1・GCK2、およびスタートパルスGSPに基づいて各行の画素16に接続された走査信号線GL1、GL2、…に与える走査信号を順次発生するようになっている。なお、シフトレジスタ17の回路構成については、後の実施形態2において詳述する。

【0043】データ信号線駆動回路14は、シフトレジスタ1およびサンプリング部18を備えている。制御回路15からシフトレジスタ1へは、互いに位相が異なる二種類のクロック信号SCK・SCKB、およびスタートパルスSSPが入力される一方、制御回路15からサンプリング部18へは、映像信号DATが入力される。データ信号線駆動回路14は、シフトレジスタ1の各段から出力される信号S1～Snに基づいて、サンプリング部18にて映像信号DATをサンプリングし、得られた映像データを各列の画素16に接続されたデータ信号線SL1、SL2、…に出力するようになっている。

【0044】制御回路15は、走査信号線駆動回路13およびデータ信号線駆動回路14の動作を制御するための各種の制御信号を生成する回路である。制御信号としては、上述のように、クロック信号GCK1・GCK2・SCK・SCKB、スタート信号GSP・SSP、および映像信号DAT等が用意されている。

【0045】なお、本画像表示装置11の走査信号線駆動回路13、データ信号線駆動回路14、および表示部12の各画素16では、それぞれスイッチ素子が設けられているが、これらスイッチ素子の製造方法については、後の実施形態3において詳述する。

【0046】本画像表示装置11がアクティブマトリクス型液晶表示装置である場合、上記の画素16は、図3に示すように、電界効果トランジスタからなる画素トランジスタSWと、液晶容量CLを含む画素容量CP（必要に応じて補助容量CSが付加される）とによって構成される。このような画素16において、画素トランジスタSWのドレインおよびソースを介してデータ信号線SLと画素容量CPの一方の電極とが接続され、画素トランジスタSWのゲートが走査信号線GLに接続され、画素容量CPの他方の電極が全画素に共通の共通電極線（図示せず）に接続されている。

【0047】ここで、i本目のデータ信号線SLiとj本目の走査信号線GLjとに接続された画素16をPI

10

20

30

40

50

$X(i, j)$ と表すと(i, j は、 $1 \leq i, j \leq n$ の範囲の任意の整数)、当該PIX(i, j)において、走査信号線GL j が選択されると、画素トランジスタSWが導通し、データ信号線SL i に印加された映像データとしての電圧が画素容量 C_p へ印加される。このように画素容量 C_p における液晶容量 C_L に電圧が印加されると、液晶の透過率または反射率が変調される。したがって、走査信号線GL j を選択し、データ信号線SL i へ映像データに応じた信号電圧を印加すれば、当該PIX(i, j)の表示状態を、映像データに合わせて変化させることができる。

【0048】画像表示装置11では、走査信号線駆動回路13が走査信号線GLを選択し、選択中の走査信号線GLとデータ信号線SLとの組み合わせに対応する画素16への映像データが、データ信号線駆動回路14によってそれぞれのデータ信号線SLへ出力される。これによって、当該走査信号線GLに接続された画素16へ、それぞれの映像データが書き込まれる。さらに、走査信号線駆動回路13が走査信号線GLを順次選択し、データ信号線駆動回路14がデータ信号線SLへ映像データを出力する。この結果、表示部12の全画素16にそれぞれの映像データが書き込まれることになり、表示部12に映像信号DATに応じた画像が表示される。

【0049】ここで、上記制御回路15からデータ信号線駆動回路14までの間、各画素16への映像データは、映像信号DATとして、時分割で伝送されており、データ信号線駆動回路14は、タイミング信号となる、所定の周期でデューティ比が50%以下(本実施形態では、Low期間がHigh期間より短い)のクロック信号SCKと、該クロック信号SCKと位相が180°異なるクロック信号SCKB(図4参照)と、スタートパルスSSPとに基づいたタイミングで、映像信号DATから各映像データを抽出している。

【0050】具体的には、データ信号線駆動回路14のシフトレジスタ1は、クロック信号SCK・SCKBに同期して、スタートパルスSSPが入力されることによって、順次、クロックの半周期に相当するパルスをシフトさせながら出力し、これにより、1クロックずつタイミングが異なる出力信号S1～Snを生成する。また、データ信号線駆動回路14のサンプリング部18は、各出力信号S1～Snのタイミングで、映像信号DATから映像データを抽出する。

【0051】一方、走査信号線駆動回路13のシフトレジスタ17は、クロック信号GCK1・GCK2に同期して、スタートパルスGSPが入力されることによって、順次、クロックの半周期に相当するパルスをシフトさせながら出力し、これにより、1クロックずつタイミングが異なる走査信号を、各走査信号線GL1～GLnへ出力する。

【0052】以下では、データ信号線駆動回路14に用

いられる本実施形態のシフトレジスタ1の構成および動作について説明し、続いて、実施形態2において、走査信号線駆動回路13に用いられるシフトレジスタ17の構成および動作について説明する。

【0053】図1を参照して、シフトレジスタ1は、 n 段からなり、上述のように、互いに位相が異なる二種類のクロック信号SCK・SCKB、およびスタートパルスSSPが入力される構成になっている。クロック信号SCK・SCKBは、各段に交互に入力されており、奇数段にはクロック信号SCKが入力される一方、偶数段にはクロック信号SCKBが入力される構成になっている。

【0054】シフトレジスタ1は、スイッチ部2、入力安定部3、およびフリップフロップ部4を備えている。スイッチ部2には、各段ごとに、スイッチ手段21が設けられており、入力安定部3には、各段ごとに、 p 型トランジスタ(入力安定手段)22が設けられている。また、フリップフロップ部4には、各段ごとに、セット・リセット型フリップフロップであるフリップフロップ(図中、SR-FF)23、およびインバータ24が設けられている。

【0055】上記フリップフロップ23は、例えば、図5に示すように、 p 型MOSトランジスタであるトランジスタ31・34・35、 n 型MOSトランジスタであるトランジスタ32・33・36・37、およびインバータ38・39を備えた構成によって実現できる。

【0056】図5を参照して、フリップフロップ23では、駆動電圧 V_{cc} と接地レベルとの間に、トランジスタ31・32・33が互いに直列に接続されており、トランジスタ31・33のゲートには、負論理のセット信号/Sが印加される。また、トランジスタ32のゲートには、正論理のリセット信号Rが印加される。さらに、互いに接続されたトランジスタ31・32のドレイン電位は、インバータ38・39でそれぞれ反転され、出力信号Qとして出力される。

【0057】駆動電圧 V_{cc} と接地レベルとの間には、さらに、それぞれ直列に接続されたトランジスタ34・35・36・37が設けられている。トランジスタ35・36のドレインは、インバータ38の入力に接続されており、トランジスタ35・36のゲートは、インバータ38の出力に接続されている。さらに、トランジスタ34のゲートには、リセット信号Rが印加されるとともに、トランジスタ37のゲートには、セット信号/Sが印加される。

【0058】フリップフロップ23では、図6に示すように、リセット信号Rがインアクティブ(ローレベル)の間に、セット信号/Sがアクティブ(ローレベル)に変化すると、トランジスタ31が導通して、インバータ38の入力をハイレベルに変化させる。これによって、フリップフロップ23の出力信号Qは、ハイレベルへと

10

20

30

40

50

変化する。

【0059】また、上記の状態では、リセット信号Rおよびインバータ38の出力によって、トランジスタ34・35が導通する。また、リセット信号Rおよびインバータ38の出力によって、トランジスタ32・36が遮断される。これによって、セット信号/Sがインアクティブに変化しても、インバータ38の入力はハイレベルに維持され、出力信号Qはハイレベルのまま保たれる。

【0060】その後、リセット信号Rがアクティブになると、トランジスタ34が遮断され、トランジスタ32が導通する。ここで、セット信号/Sがインアクティブのままなので、トランジスタ31は遮断され、トランジスタ33が導通する。したがって、インバータ38の入力がロウレベルに駆動され、出力信号Qがロウレベルへと変化する。

【0061】再び図1を参照して、各段のフリップフロップ23の出力信号Q(Q1、Q2、…)は、次段のスイッチ手段21に入力されるとともに、次段のp型トランジスタ22のゲートに入力される。各スイッチ手段21は、その開閉により、各段へのクロック信号SCKまたはSCKBの入力を制御し、前段のフリップフロップ23の出力信号Qがロウレベルの期間は開放(スイッチオフ)となる一方、出力信号Qがハイレベルの期間は閉状態(スイッチオン)となる。各段へ入力されたクロック信号SCKまたはSCKBは、セット信号/Sとしてフリップフロップ23に入力され、また、インバータ24に入力される。

【0062】p型トランジスタ22は、フリップフロップ23にクロック信号SCK・SCKBが入力されていない場合に、フリップフロップ23の入力を安定させるためのものである。p型トランジスタ22は、出力信号Qがハイレベルの期間は、ソースドレイン間が非導通状態となり、出力信号Qがロウレベルの期間は、ソースドレイン間が導通状態となる。

【0063】フリップフロップ23は、1クロック周期幅の開始信号SSPをクロック信号SCK・SCKBの立ち下がりごとに次段へ伝送できるように構成されている。具体的には、前段の出力信号Q(初段は、開始信号SSP)によって開閉されるスイッチ手段21によって制御されるクロック信号SCK・SCKBが、負論理のセット信号/Sとしてフリップフロップ23に印加されるとともに、初段では、インバータ24を介してシフトレジスタ1の出力S1として出力される。初段のフリップフロップ23の出力信号Q1は、次段のスイッチ手段21の切り換え信号として印加される。

【0064】さらに、各フリップフロップ23には、後段への入力信号のうち、インバータ24を介してシフトレジスタ1の出力として伝送されるパルス幅だけ遅れた信号がリセット信号Rとして印加される。本シフトレジスタ1では、1クロック周期幅のパルスを伝送するの

で、1クロック周期遅れた信号、すなわち、二段後のスイッチ手段21によって切り換えられ、当該段のインバータ24から出力されたシフトレジスタ1の出力信号が正論理のリセット信号Rとして印加される。

【0065】また、奇数段のフリップフロップ23がクロック信号SCKの立ち下がりによってセットされるように、奇数段のスイッチ手段21にはクロック信号SCKが入力される。一方、偶数段のフリップフロップ23がクロック信号SCKBの立ち下がりによってセットされるように、偶数段のスイッチ手段21にはクロック信号SCKBが入力される。

【0066】したがって、シフトレジスタ1は、以下のように動作する。

【0067】開始信号SSPがハイレベルになると、接続されている初段のスイッチ手段21がそれに応じて切り換わり、クロック信号SCKがフリップフロップ23に入力される。このとき、入力安定部3の初段のp型トランジスタ22では、ゲートに開始信号SSPが入力されているため、ソースドレイン間が非導通状態となる。よって、初段のスイッチ手段21の切り換わりにより入力された信号は、インバータ24を介して、出力S1として映像データを映像信号DATから抽出するサンプリング信号となる。

【0068】一方、入力クロック信号SCKの立ち下がりに応じて、初段のフリップフロップ23の出力信号Q1がハイレベルとなる。ハイレベルの出力信号Q1は、次段(二段目)のスイッチ手段21をオン状態にし、クロック信号SCKBが入力される。クロック信号SCKBは、二段目のフリップフロップ23に入力され、出力信号Q2が生成されるとともに、一方は、インバータ24を介して、出力S2として映像データを映像信号DATから抽出するサンプリング信号となる。

【0069】さらに、出力信号Q2によって次段(三段目)のスイッチ手段21がオン状態になると、当該段にはクロック信号SCKが入力される。クロック信号SCKは、三段目のフリップフロップ23に入力され、出力信号Q3が生成されるとともに、一方は、インバータ24を介して、出力S3として映像データを映像信号DATから抽出するサンプリング信号となる。

【0070】また、三段目の信号S3は、初段のフリップフロップ23のリセット信号Rとして入力され、出力信号Q1はロウレベルになる。出力信号Q1がロウレベルになると、二段目のスイッチ手段21はオフ状態になる。このとき、二段目のp型トランジスタ22では、ソースドレイン間が導通状態となり、二段目のフリップフロップ23の入力部はハイレベルとなり、安定する。

【0071】ここで、初段のフリップフロップ23の場合は、開始信号SSPがロウレベルになった時点で、初段のスイッチ手段21がオフ状態になり、クロック信号SCKの入力を停止し、さらに、初段のp型トランジ

タ22では、ソースドレイン間が導通状態となり、初段のフリップフロップ23の入力部はハイレベルとなり、安定する。

【0072】以下、上記と同様に順次信号が生成されることによって、図4に示すように、クロック信号SCK・SCKBに基づき、互いに重ならない出力信号S1～Snを得ることができる。これは、各スイッチ手段21が、出力信号S1～Snのパルス幅分は十分に長い期間導通状態となっているため、クロック信号SCKまたはSCKBの立ち上がりまたは立ち下がりタイミングがほとんど遅延なくスイッチを通り、その結果、出力信号S1～Snは互いにほとんど重なりがなくなるのである。

【0073】これに対し、図17に示されるような、論理素子によって出力パルスを作成する従来の構成では、各論理素子を構成するトランジスタのスイッチング時間のばらつき等により、パルスの立ち上がりまたは立ち下がりタイミングに遅延が生じ、その結果、出力パルスが互いに重なり合うという不都合が生ずるおそれがある。

【0074】なお、本実施形態のシフトレジスタ1では、図1に示すように、最終段にダミー用としてスイッチ手段21x、p型トランジスタ22x、フリップフロップ23x、およびインバータ24xが設けられている。そして、インバータ24xからの出力信号Sxが、n段目のフリップフロップ23のリセット端子に入力され、最終段のフリップフロップ23xのリセット端子には、フリップフロップ23x自身の出力信号Qxが入力される構成になっている。よって、最終段のフリップフロップ23xは、セットされて出力信号Qxが生ずると同時にリセットがかかることとなり、出力信号Qxは図4に示すような波形となる。

【0075】なお、インバータ24xからの出力信号Sxが、n段目のフリップフロップ23のリセット端子に入力される構成とせずに、最終段のフリップフロップ23xの出力信号Qxが、n段目のフリップフロップ23のリセット端子に入力される構成としてもよい。このような構成とした場合、インバータ24xは不要となる。

【0076】以上のように、本実施形態のシフトレジスタ1では、各段の出力パルスが重ならず、しかも、論理素子などを設ける必要がないので回路構成の簡略化を実現できる。また、かかるシフトレジスタ1を用いることで、駆動回路の簡略化による狭帯域化を実現した画像処理装置を提供することができる。

【0077】なお、本実施形態では、シフトレジスタ1に入力されるクロック信号は2種類であったが、本発明はこれに限定されず、例えば3種類以上であってもよい。

【0078】また、シフトレジスタ1に入力されるクロック信号SCK・SCKBは、Low期間がHigh期間より短いものであったが、本発明はこれに限定されず、Low期間とHigh期間との長さが同じであるク

ロック信号が入力される構成としてもよい。

【0079】また、シフトレジスタ1の各フリップフロップ23のリセット端子には、二段後のインバータ24からの出力信号が入力される構成であったが、本発明はこれに限定されない。すなわち、M ($M \geq 2$) 種類のクロック信号が入力され、kを1以上の任意の整数とすると、($i + k \times M$) 段目の出力パルス ($(i + k \times M)$ 段目のインバータ24の出力信号) が、i段目のフリップフロップ23のリセット端子へ入力されるいずれの構成としてもよい。例えば、図7に示されるシフトレジスタ25のように、各フリップフロップ23のリセット端子に、四段後のインバータ24からの出力信号が入力される構成としてもよい。

【0080】図1に示されるシフトレジスタ1は、k=1、M=2に設定された構成であり、例えば、一段目のフリップフロップ23のリセット端子には、三段目の出力パルスが入力される構成である。一方、図7に示されるシフトレジスタ25は、k=2、M=2に設定された構成であり、例えば、一段目のフリップフロップ23のリセット端子には、五段目の出力パルスが入力される構成である。

【0081】図8は、シフトレジスタ25の動作を示すタイミングチャートであり、同図に示すように、一段目のフリップフロップ23の出力信号Q1は、五段目の出力パルスS5によってリセットされ、二段目のフリップフロップ23の出力信号Q2は、六段目の出力パルスS6によってリセットされる。なお、例えば出力パルスS1のように、フリップフロップ23には2回のセット信号が入力されることとなるが、フリップフロップ23の動作には何ら影響がない。また、一段目のフリップフロップ23をリセットするために、五段目の出力パルスS5を用いているが、このようにリセット信号が2回入力されても、フリップフロップ23の動作には支障がない。

【0082】また、図7に示されるシフトレジスタ25をデータ信号線駆動回路14に用いた場合、出力パルスにより、2回映像信号DATをサンプリングすることができる。つまり、1回目のサンプリングを予備的なサンプリングとし、2回目のサンプリングで所望の映像信号DATをデータ信号線にサンプリングすることが可能になる。また、上記予備的なサンプリングは、2回目の充電を助ける効果もある。

【0083】さらに、本発明のシフトレジスタにおいて、M ($M \geq 2$) 種類のクロック信号が入力され、kを1以上の任意の整数とすると、($i + k \times M$) 段目のフリップフロップ23の出力信号が、i段目のフリップフロップ23のリセット端子へ入力される構成としてもよい。例えば、図9に示されるシフトレジスタ26のように、各フリップフロップ23のリセット端子に、二段後のフリップフロップ23の出力信号が入力される構成と

してもよい。また、図11に示されるシフトレジスタ27のように、各フリップフロップ23のリセット端子に、四段後のフリップフロップ23の出力信号が入力される構成としてもよい。

【0084】図9に示されるシフトレジスタ26は、 $k=1$ 、 $M=2$ に設定された構成であり、例えば、一段目のフリップフロップ23のリセット端子には、三段目のフリップフロップ23の出力信号Q3が入力される構成である。一方、図11に示されるシフトレジスタ27は、 $k=2$ 、 $M=2$ に設定された構成であり、例えば、一段目のフリップフロップ23のリセット端子には、五段目のフリップフロップ23の出力信号Q5が入力される構成である。

【0085】図10は、シフトレジスタ26の動作を示すタイミングチャートであり、同図に示すように、一段目のフリップフロップ23は、三段目のフリップフロップ23の出力信号Q3によってリセットされ、二段目のフリップフロップ23は、四段目のフリップフロップ23の出力信号Q4によってリセットされる。また、図12は、シフトレジスタ27の動作を示すタイミングチャートであり、同図に示すように、一段目のフリップフロップ23は、五段目のフリップフロップ23の出力信号Q5によってリセットされ、二段目のフリップフロップ23は、六段目のフリップフロップ23の出力信号Q6によってリセットされる。このような構成によって、シフトレジスタ26・27は、上述したシフトレジスタ1・25と同様の効果を奏する。

【0086】なお、上記シフトレジスタ25・26・27の構成・動作を示す図7～図12では、ダミー用の最終段を n 段目として表記している。また、シフトレジスタ25では、最終 n 段目のインバータ24からの出力信号 S_n が、 $n-1$ 段目のフリップフロップ23のリセット端子に入力される構成であり、シフトレジスタ26・27では、最終 n 段目のフリップフロップ23の出力信号 Q_n が、 $n-1$ 段目のフリップフロップ23のリセット端子に入力される構成となっている。

【0087】〔実施形態2〕本発明の第2の実施形態について図13および図14に基づいて説明すれば、以下の通りである。なお、本実施形態において、前述の実施形態1における要素と同等の機能を有する要素については、同一の符号を付記して、その説明を省略する。

【0088】本実施形態に係るシフトレジスタ17は、上述のように、走査信号線駆動回路13に用いられるシフトレジスタであり、図13に示すように、クロック信号として二種類のクロック信号GCK1・GCK2が入力され、開始信号としてスタートパルスGSPが入力される以外は、実施形態1のシフトレジスタ1の構成と同じである。

【0089】上記クロック信号GCK1・GCK2は、図14に示すように、互いにロウレベルの期間が重なら

ないような位相を有しており、具体的には、互いに位相が 180° ずれた関係になっている。さらに、クロック信号GCK1・GCK2は、ハイレベルの期間に比べてロウレベルの期間が十分短いものになっている。

【0090】走査信号線駆動回路13の場合は、前後の走査信号が重なると表示上著しく表示が劣化する。そこで、従来は、パルス幅制御信号PWC等を用いて走査信号を重ならないように生成している。

【0091】本実施形態のシフトレジスタ17では、上記クロック信号GCK1・GCK2が用いられる。また、上述したシフトレジスタ1と同様の動作で、各スイッチ手段21によって、各フリップフロップ23へのクロック信号GCK1・GCK2の入力が制御されるとともに、各インバータ24を介して各段から信号GL1～GL n が出力される。したがって、クロック信号GCK1・GCK2に基づき、図14に示すように、互いに重ならない出力信号GL1～GL n を得ることができる。

【0092】また、これにより、パルス幅制御信号PWCや論理回路を必要とせず、狭額縁化を容易に実現できる。

【0093】なお、シフトレジスタ17における各フリップフロップ23のリセット端子への入力を、上記シフトレジスタ25・26・27のように変更した構成としてもよいことは勿論である。

【0094】〔実施形態3〕本発明の第3の実施形態について図15および図16に基づいて説明すれば、以下の通りである。なお、本実施形態において、前述の実施形態1・2における要素と同等の機能を有する要素については、同一の符号を付記して、その説明を省略する。

【0095】本実施形態に係る画像表示装置は、実施形態1で説明した画像表示装置11と同様の構成であるが、走査信号線駆動回路13およびデータ信号線駆動回路14が、複数の画素16からなる表示部12と同一基板上に形成されている。

【0096】すなわち、本実施形態の画像表示装置では、走査信号線駆動回路13およびデータ信号線駆動回路14が表示部12とともに、絶縁性基板、例えばガラス基板51上に形成されている（ドライバモノリシック構造）。絶縁性基板（基板）としては、サファイヤ基板、石英基板、無アルカリガラス等が用いられることが多い。

【0097】このように、走査信号線駆動回路13およびデータ信号線駆動回路14を表示部12と同一のガラス基板51上にモノリシックに形成することにより、製造時の手間と配線容量とを削減できる。また、外付のICをドライバとして用いた画像表示装置に比べ、ガラス基板51への入力端子数が少なくなる。その結果、ガラス基板51に部品を実装するためのコストや、その実装に伴う不良の発生を低減することができる。したがって、駆動回路の製造コストや実装コストの低減および駆

動回路の信頼性の向上を図ることができる。

【0098】また、本画像表示装置では、画素トランジスタSW（図3参照）として薄膜トランジスタが用いられ、走査信号線駆動回路13およびデータ信号線駆動回路14は薄膜トランジスタを備えて構成されているが、より多くの画素16を集積し、表示面積を拡大するために、これら薄膜トランジスタとして多結晶シリコン薄膜トランジスタが採用されている。

【0099】上記多結晶シリコン薄膜トランジスタは、例えば図15に示すような構造であり、この構造においては、ガラス基板51上に汚染防止用のシリコン酸化膜52が堆積されており、その上に電界効果トランジスタが形成されている。

【0100】上記の薄膜トランジスタは、シリコン酸化膜52上に形成されたチャネル領域53a、ソース領域53bおよびドレイン領域53cからなる多結晶シリコン薄膜53と、さらにその上に形成されたゲート絶縁膜54、ゲート電極55、層間絶縁膜56および金属配線57・57により構成されている。

【0101】上記の多結晶シリコン薄膜トランジスタは、絶縁性基板上の多結晶シリコン薄膜を活性層とする順スタガー（トップゲート）構造を成しているが、本実施の形態ではこれに限らず、逆スタガー構造等の他の構造のトランジスタであってよい。また、本画像表示装置では、単結晶シリコン薄膜トランジスタ、非晶質シリコン薄膜トランジスタ、または他の材料からなる薄膜トランジスタも適用することが可能である。

【0102】上記のような多結晶シリコン薄膜トランジスタを用いることによって、実用的な駆動能力を有する走査信号線駆動回路13およびデータ信号線駆動回路14を、表示部12が形成されるガラス基板51上に、画素16…とほぼ同一の製造工程で作製することができる。

【0103】図16は、上記多結晶シリコン薄膜トランジスタの製造工程を示す工程断面図である。本製造工程では、まず、図16（a）に示すガラス基板51上に、非晶質シリコン薄膜a-Siを堆積させる（図16（b））。次いで、その非晶質シリコン薄膜a-Siにエキシマレーザを照射することにより、多結晶シリコン薄膜53を形成する（図16（c））。この多結晶シリコン薄膜53を所望の形状にパターニングし（図16（d））、その上に二酸化シリコンからなるゲート絶縁膜54を形成する（図16（e））。

【0104】さらに、ゲート電極55をアルミニウム等で形成する（図16（f））。その後、多結晶シリコン薄膜53においてソース領域53bおよびドレイン領域53cとなるべき部分に不純物（n型領域には磷、p型領域には硼素）を注入する（図16（g）（h））。n型領域に不純物を注入する際には、p型領域をレジスト58でマスクし（図16（g））、p型領域に不純物を

注入する際には、n型領域をレジスト58でマスクする（図16（h））。

【0105】そして、二酸化シリコン、窒化シリコン等からなる層間絶縁膜56を堆積させ（図16（i））、層間絶縁膜56にコンタクトホール59…を形成する（図16（j））。最後に、コンタクトホール59…にアルミニウム等の金属配線57…を形成する（図16（k））。

【0106】上記のプロセスにおける最高温度は、ゲート絶縁膜54を形成するときの600℃以下である。したがって、通常のガラス基板（歪み点が600℃以下のガラス基板）を用いても、歪み点以上のプロセスに起因する反りやたわみが発生しない。すなわち、絶縁性基板として、耐熱性が極めて高い高価な石英基板を用いる必要がなくなり、安価な高耐熱性ガラスを使用することができる。それゆえ、画像表示装置を安価に提供することが可能になる。

【0107】なお、画像表示装置の製造においては、上記のようにして作製された薄膜トランジスタの上に、さらに別の層間絶縁膜を介して、透明電極（透過型液晶表示装置の場合）または反射電極（反射型液晶表示装置の場合）を形成する。

【0108】前記のプロセスを採用することにより、安価で大面積化が可能なガラス基板上に多結晶シリコン薄膜トランジスタを形成することができる。それゆえ、画像表示装置の低コスト化および大型化を容易に実現することができる。

【0109】

【発明の効果】本発明に係るシフトレジスタは、以上のように、クロック信号が入力される複数段のフリップフロップと、前記複数段のフリップフロップ毎に設けられ、前記クロック信号の入力を制御するスイッチ手段とを備え、前記複数段のフリップフロップのi（iは、任意の値）段目の出力信号に応じてi+1段目の前記スイッチ手段が制御され、i+1段目の前記フリップフロップへの前記クロック信号の入力が制御されるとともに、前記クロック信号のパルス幅と同じ幅の出力パルスが生成される構成である。

【0110】それゆえ、各段の出力パルスが重ならず、しかも、回路構成の簡略化を実現したシフトレジスタを提供することができるという効果を奏する。

【0111】また、本発明のシフトレジスタにおいて、前記クロック信号として、M（M≧2）種類のクロック信号が、前記複数段のフリップフロップに対し、それぞれ（M-1）個おきに入力される構成とすることで、周波数を低減することができ、外部回路からクロック信号を入力する際、外部回路の消費電圧を低減できるという効果を奏する。

【0112】また、本発明のシフトレジスタにおいて、前記M種類のクロック信号は、互いのハイレベルの期間

が重ならないような位相または互いのロウレベルの期間が重ならないような位相を有することで、各段から隣接する出力信号と重ならない出力信号を得ることができるという効果を奏する。

【0113】また、本発明のシフトレジスタにおいて、前記M種類の各クロック信号のデューティ比が、 $(100 \times 1/M)\%$ 以下となるようにすることで、各段から隣接する出力信号と重ならない出力信号を得ることができ、さらに、任意にパルス幅を変えることができるという効果を奏する。

【0114】また、本発明のシフトレジスタにおいて、前記スイッチ手段が開放されている際に、前記複数段のフリップフロップへの入力を安定させるための入力安定手段を備えることで、スイッチ手段が開放されると、フリップフロップへの入力が予め定められた電位になるため、フリップフロップが誤動作を起こすことを防止できるという効果を奏する。

【0115】また、本発明のシフトレジスタにおいて、前記複数段のフリップフロップは、セット・リセット型フリップフロップであり、 $(i+k \times M)$ 段目(kは、1以上の整数)の前記出力パルスが、i段目の前記フリップフロップのリセット端子へ入力される構成とすることで、各フリップフロップから出力される信号のパルス幅を所望の期間に調節できるという効果を奏する。

【0116】また、本発明のシフトレジスタにおいて、前記複数段のフリップフロップは、セット・リセット型フリップフロップであり、前記複数段のフリップフロップの $(i+k \times M)$ 段目(kは、1以上の整数)の出力信号が、i段目の前記フリップフロップのリセット端子へ入力される構成とすることで、各フリップフロップから出力される信号のパルス幅を所望の期間に調節できるという効果を奏する。

【0117】また、本発明に係る画像表示装置は、以上のように、データ信号線駆動回路および走査信号線駆動回路の少なくともいずれか一方に、上述した本発明のシフトレジスタを備えた構成である。

【0118】それゆえ、本発明のシフトレジスタを用いることで、駆動回路の回路規模を縮小化し、狭額縁化を実現した画像処理装置を提供できるという効果を奏する。

【0119】また、本発明の画像表示装置において、前記データ信号線駆動回路および前記走査信号線駆動回路の少なくとも一方が、前記画素が形成される基板上に形成されている構成とすることで、製造時の手間を省き、各信号線の容量の不所望な増大を防止できるという効果を奏する。

【0120】また、本発明の画像表示装置において、前記データ信号線駆動回路および前記走査信号線駆動回路の少なくとも一方を構成するスイッチ素子が、多結晶シリコン薄膜トランジスタである構成とすることで、表示

面積を容易に拡大できるという効果を奏する。

【0121】また、本発明の画像表示装置において、前記スイッチ素子は、600℃以下の温度で形成されることで、基板として安価なガラス基板などを使用することができ、画像表示装置を安価に提供することが可能になるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係るシフトレジスタの構成を概略的に示す回路図である。

10 【図2】上記シフトレジスタを用いた画像表示装置の概略的構成を示す図である。

【図3】上記画像表示装置における画素の構成を示す図である。

【図4】上記シフトレジスタの動作を示すタイミングチャートである。

【図5】上記シフトレジスタで用いられるセット・リセット型フリップフロップの構成を示す回路図である。

【図6】上記セット・リセット型フリップフロップの動作を示すタイミングチャートである。

20 【図7】上記シフトレジスタにおける各フリップフロップのリセット端子への入力を変更した構成例を示す回路図である。

【図8】図7のシフトレジスタの動作を示すタイミングチャートである。

【図9】上記シフトレジスタにおける各フリップフロップのリセット端子への入力を変更した他の構成例を示す回路図である。

【図10】図9のシフトレジスタの動作を示すタイミングチャートである。

30 【図11】上記シフトレジスタにおける各フリップフロップのリセット端子への入力を変更した更に他の構成例を示す回路図である。

【図12】図11のシフトレジスタの動作を示すタイミングチャートである。

【図13】本発明の他の実施形態に係るシフトレジスタの構成を概略的に示す回路図である。

【図14】上記シフトレジスタの動作を示すタイミングチャートである。

40 【図15】上記画像表示装置に用いられる多結晶シリコン薄膜トランジスタの構造を示す断面図である。

【図16】(a)ないし(k)は図15の多結晶シリコン薄膜トランジスタの製造工程における各段階での構造を示す断面図である。

【図17】データ信号線駆動回路に用いられる従来のシフトレジスタの構成を示す回路図である。

【図18】上記従来のシフトレジスタの動作を示すタイミングチャートである。

【図19】走査信号線駆動回路に用いられる従来のシフトレジスタの動作を示す回路図である。

50 【図20】上記従来の走査信号線駆動回路におけるシフ

トレジスタの動作を示すタイミングチャートである。

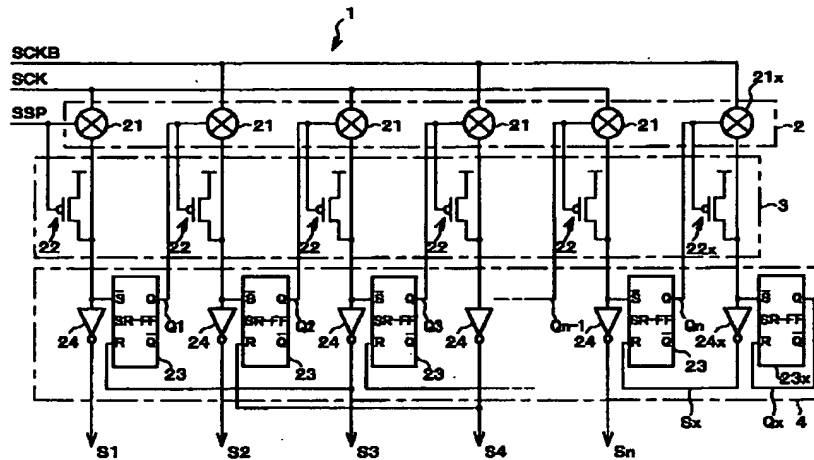
【図21】D型フリップフロップの動作を示すタイミングチャートである。

【符号の説明】

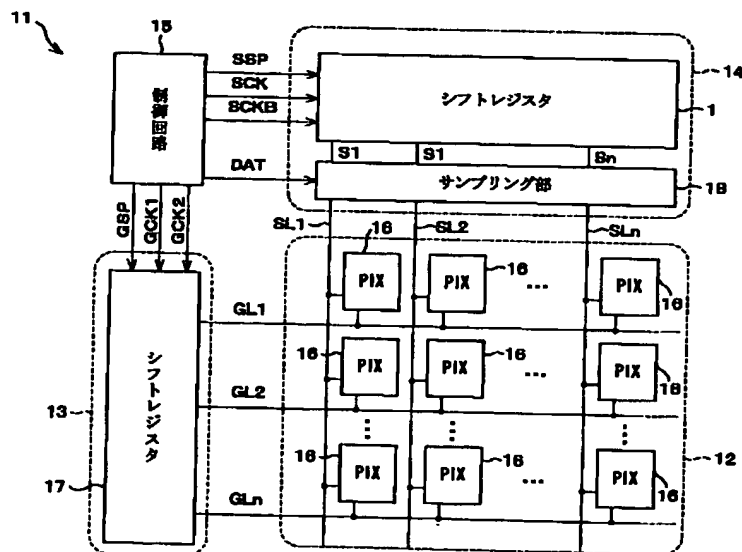
- 1 シフトレジスタ
- 11 画像表示装置
- 12 表示部
- 13 走査信号線駆動回路
- 14 データ信号線駆動回路

- 15 制御回路
- 16 画素
- 17 シフトレジスタ
- 21 スイッチ手段
- 22 p型トランジスタ（入力安定手段）
- 23 セット・リセット型フリップフロップ
- 24 インバータ
- 25～27 シフトレジスタ

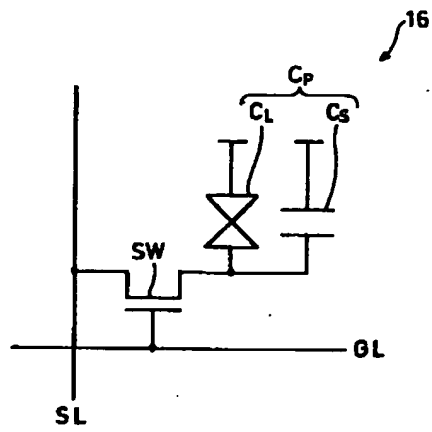
【図1】



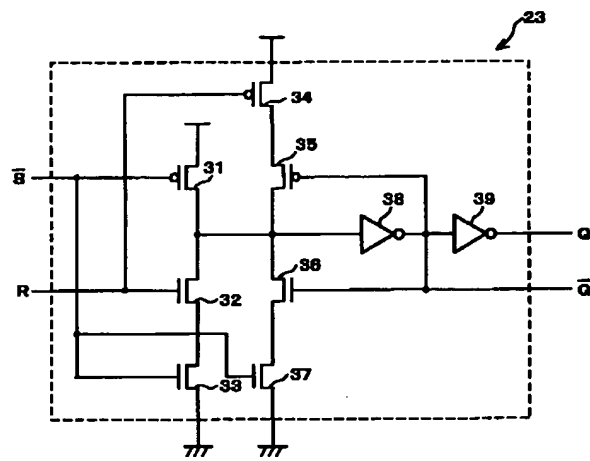
【図2】



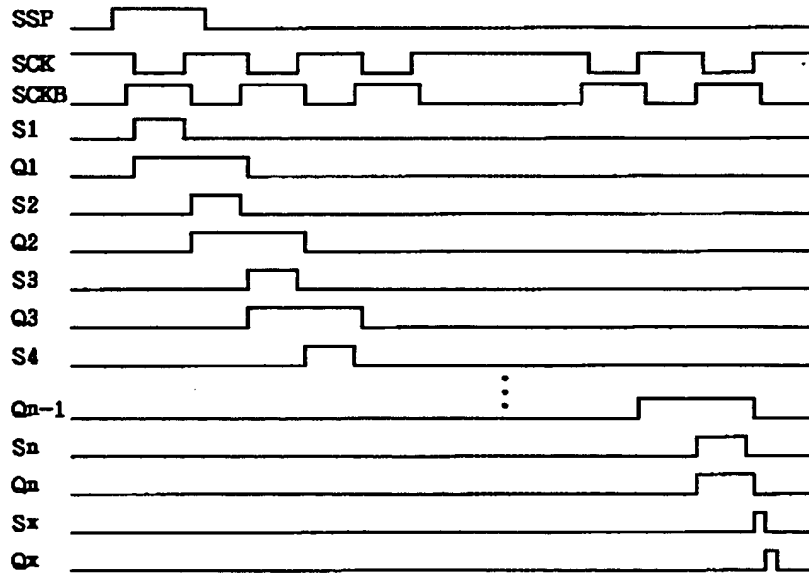
【図3】



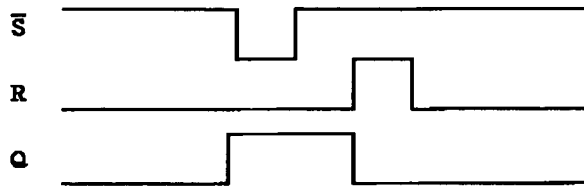
【図5】



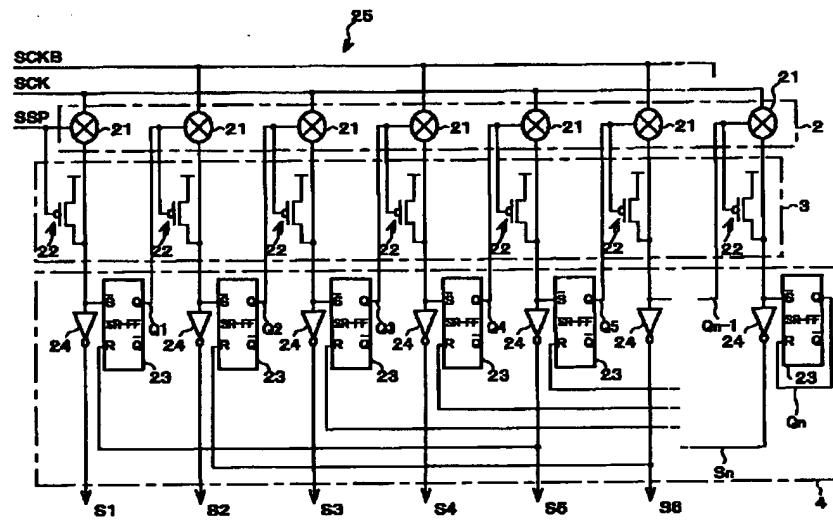
【図4】



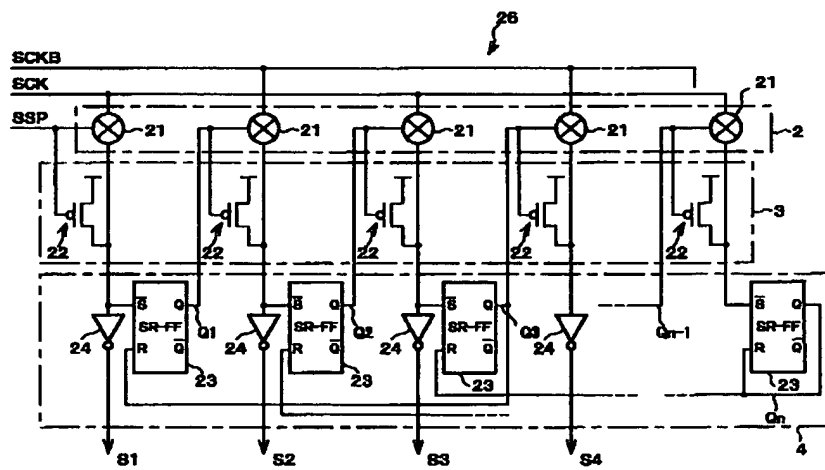
【図6】



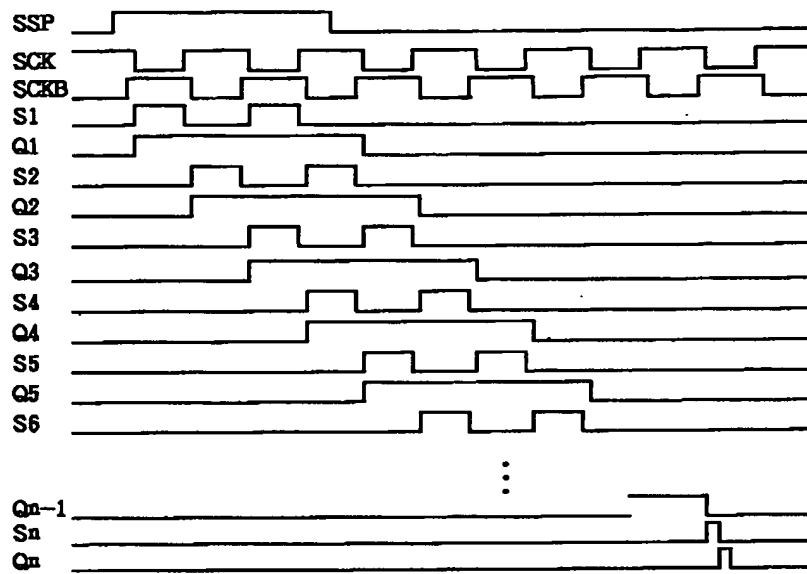
【図7】



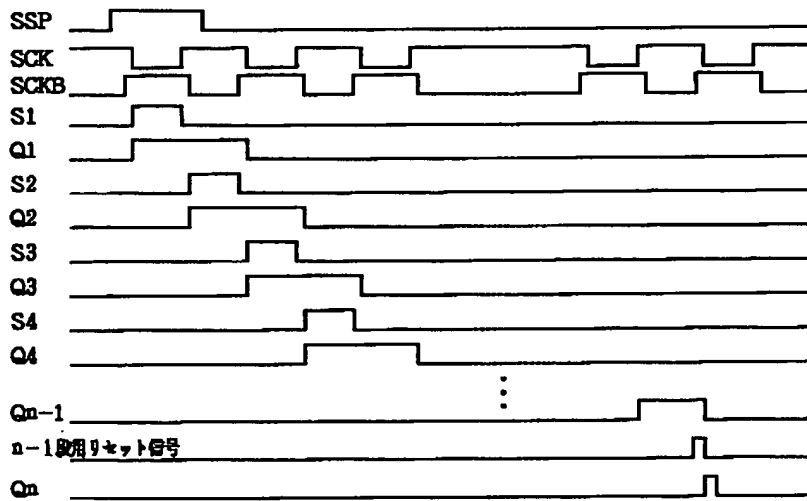
【図9】



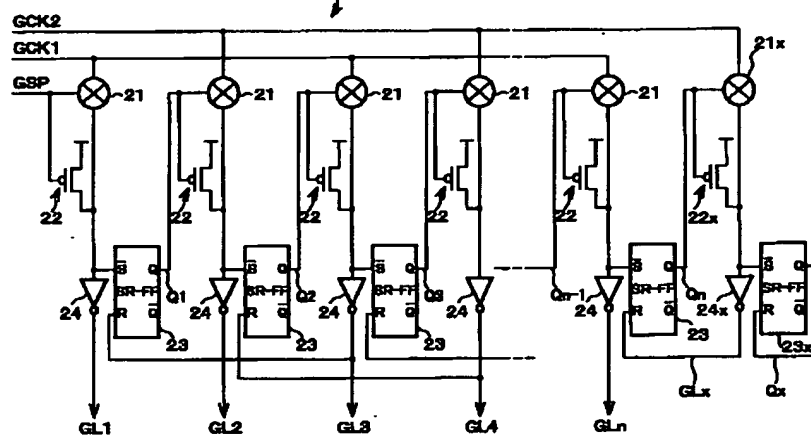
【図8】



【図10】

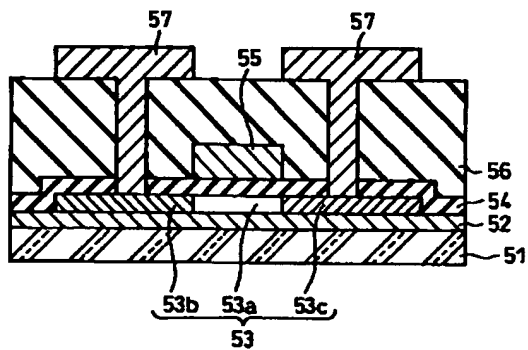


17

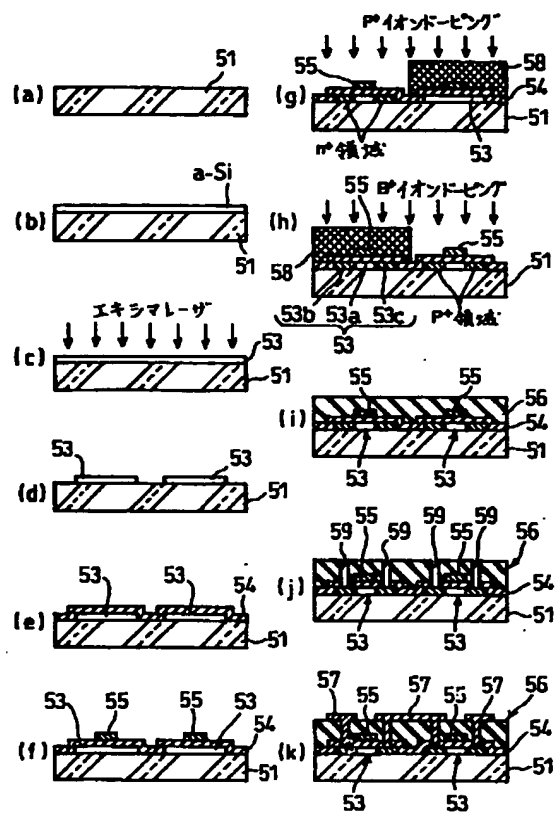


Timing diagram showing the relationship between GSK1, GSK2, and various data signals (GL1, Q1, GL2, Q2, GL3, Q3, GL4, ..., Qn-1, GLn, Qn, GLx, Qx). The signals are shown as digital waveforms over time.

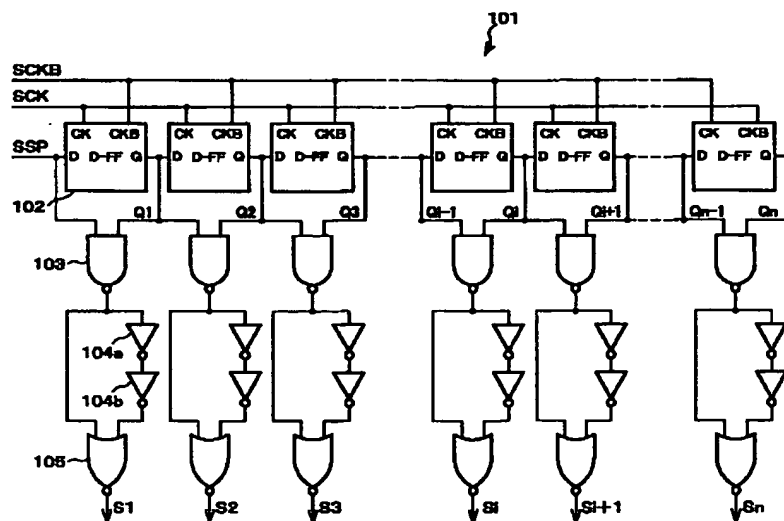
【図15】



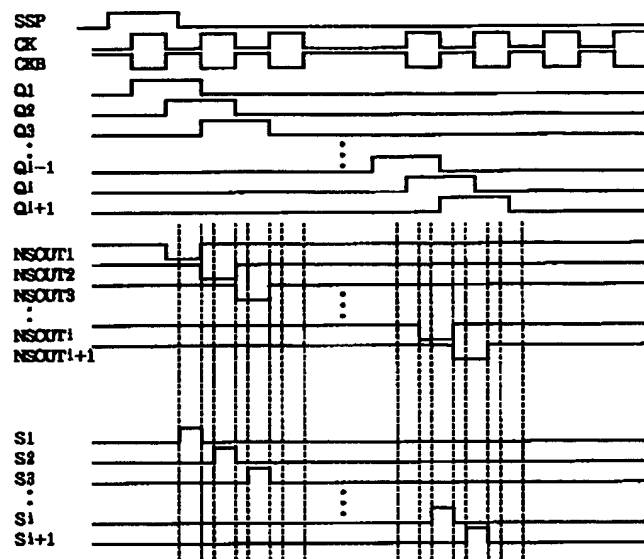
【図16】



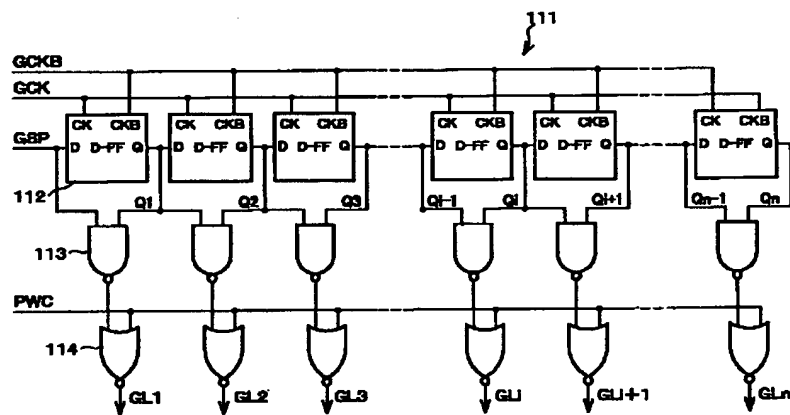
【図17】



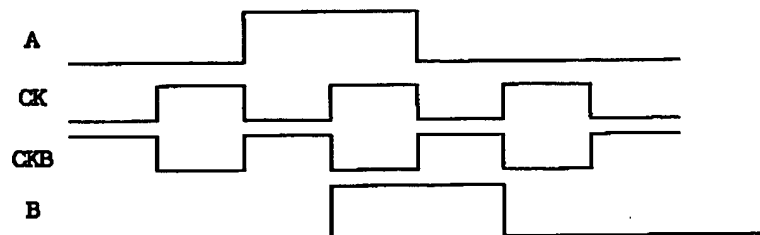
【図18】



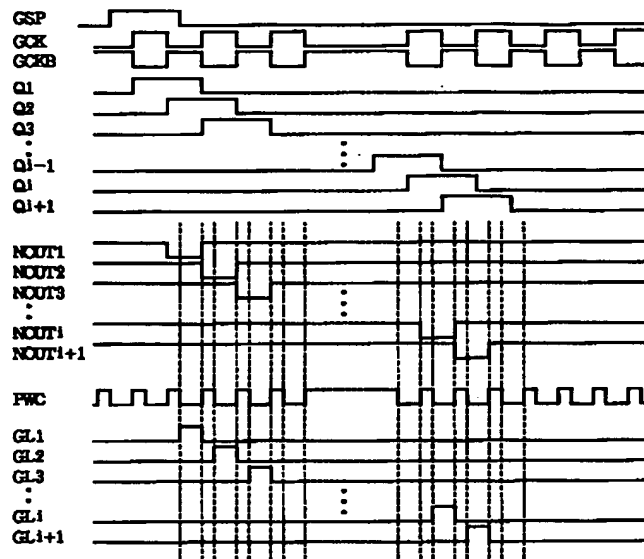
【図19】



【図21】



【図20】



フロントページの続き

(51)Int. Cl. ⁷	識別記号	F I	テーマコード(参考)
H 01 L 29/786		H 01 L 29/78	6 1 2 B 6 1 4
(72)発明者 前田 和宏 大阪府大阪市阿倍野区長池町22番22号 シ ヤープ株式会社内		(72)発明者 グレアム アンドリュー カーンズ イギリス国 オーエックス2 8エヌエイ チ オックスフォード、カッテスロウ、ボ ーン クローズ22	
(72)発明者 海瀬 泰佳 大阪府大阪市阿倍野区長池町22番22号 シ ヤープ株式会社内		Fターム(参考) 5C006 AA01 AF41 BB16 BC03 BC12 BF03 BF06 BF11 BF26 BF27 BF34 EB05 FA41 FA47	
(72)発明者 マイケル ジェームス ブラウンロー イギリス国 オーエックス4 4ワイビー オックスフォード、サンドフォード オ ン テムズ、チャーチ ロード 124		5C080 AA10 BB05 DD25 DD26 EE17 FF11 GG08 JJ02 JJ03 JJ04 JJ06 5F110 AA09 AA17 BB02 BB04 CC02 CC08 DD02 DD03 DD04 DD07 EE03 FF02 GG02 GG13 HJ01 HJ12 HL03 NN02 NN23 NN24 PP03 QQ11	